

DIALOG(R)File 347:JAPIO  
(c) 2006 JPO & JAPIO. All rts. reserv.

06222153     \*\*Image available\*\*

**CONSTANT CURRENT CMOS OUTPUT DRIVER CIRCUIT HAVING DUAL  
GATE TRANSISTOR DEVICE**

PUB. NO.:     **11-163715** [JP 11163715 A]  
PUBLISHED:     June 18, 1999 (19990618)  
INVENTOR(s):     TERLETZKI HARTMUND  
APPLICANT(s):     SIEMENS AG  
APPL. NO.:     10-273680 [JP 98273680]  
FILED:     September 28, 1998 (19980928)  
PRIORITY:     940862 [US 940862], US (United States of America), September  
                  29, 1997 (19970929)  
INTL CLASS:     H03K-019/0175; H03K-017/687

**ABSTRACT**

**PROBLEM TO BE SOLVED:** To perform drain current control for constant current use by controlling a current quantity that is provided to a resistive termination load and a current quantity that is provided to a drain transistor of a dual gate nFET device.

**SOLUTION:** A bias generator 20 generates a bias voltage BLASP, provides the voltage BLASP to a gate terminal of a drain transistor B and substantially controls a current quantity that is provided by a drain transistor 12B of a dual gate p channel electric field effect transistor (pFET) device. Similarly, the generator 20 generates a bias voltage vBLASN, supplies the voltage vBLASN to a gate terminal of a drain transistor 14A and substantially controls a current quantity that is provided to the drain transistor 14A of an nFET device. Furthermore, an output terminal of an output driver circuit 10 is connected to a first terminal of a termination resistor 22 and a 2nd terminal of the resistor 22 is connected to an external reference voltage source VTT.

**COPYRIGHT:** (C) 1999, JPO

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-163715

(43)公開日 平成11年(1999)6月18日

(51)Int.CI.<sup>6</sup>  
H03K 19/0175  
17/687

識別記号

F I  
H03K 19/00  
17/687

101 F  
F  
H

審査請求 未請求 請求項の数28 O L (全15頁)

(21)出願番号 特願平10-273680

(22)出願日 平成10年(1998)9月28日

(31)優先権主張番号 08/940862

(32)優先日 1997年9月29日

(33)優先権主張国 米国(US)

(71)出願人 390039413

シーメンス アクチエンゲゼルシャフト  
S I E M E N S A K T I E N G E S E L  
L S C H A F T

ドイツ連邦共和国 D-80333 ミュンヘ  
ン ヴィッテルスバッハーブラツツ 2

(72)発明者 ハルトムート テルレツツキー

アメリカ合衆国 ニューヨーク プレザン  
ト ヴァレー スキッドモア ロード 27

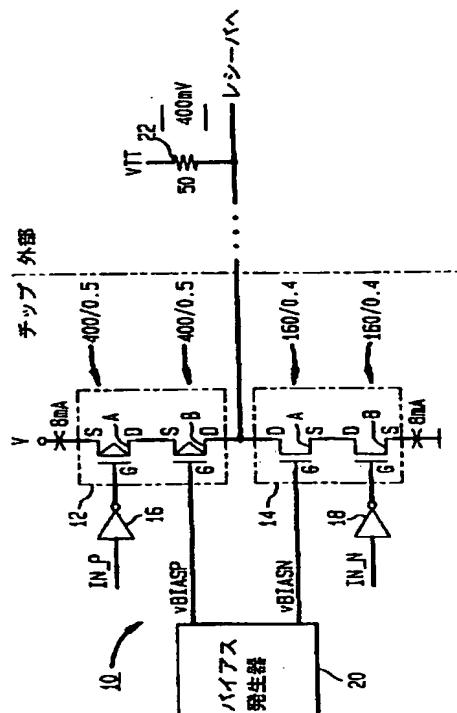
(74)代理人 弁理士 矢野 敏雄 (外2名)

(54)【発明の名称】デュアルゲートトランジスタデバイスを持つ定電流CMOS出力ドライバ回路

(57)【要約】

【課題】定電流用途のためのドレイン電流制御されたCMOS出力ドライバ回路を提供する。

【解決手段】第1バイアス電圧は、抵抗性終端負荷と関連した基準電圧の閾数であり、そしてデュアルゲートゲートpFETデバイスのドレイントランジスタによって抵抗性終端負荷に提供される電流の量を実質的に制御する。第2出力端子は、デュアルゲートnFETデバイスのドレイントランジスタのゲート端子に動作的に結合し、そしてドレイントランジスタに第2バイアス電圧を提供する。第2バイアス電圧は抵抗性終端負荷に関連する基準電圧の閾数であり、そして抵抗性終端負荷によってデュアルゲートnFETデバイスのドレイントランジスタに提供される電流の量を実質的に制御する。



## 【特許請求の範囲】

【請求項1】 抵抗性終端負荷に動作的に結合した出力端子を持つ出力ドライバ回路において、  
1つのソーストランジスタおよび1つのドレイントランジスタを含む1つのデュアルゲートpFETデバイスを含み、  
各トランジスタはそれぞれゲート端子、ソース端子およびドレイン端子とを有し、  
ソーストランジスタのソース端子は電源Vに動作的に結合し、  
ソーストランジスタのドレイン端子はドレイントランジスタのソース端子に動作的に結合し、  
ドレイントランジスタのドレイン端子は出力ドライバ回路の出力端子に動作的に結合し、  
1つのソーストランジスタおよび1つのドレイントランジスタを含む1つのデュアルゲートnFETデバイスを含み、  
各トランジスタはそれぞれゲート端子、ソース端子およびドレイン端子とを有し、  
ソーストランジスタのソース端子はグランド電位に動作的に結合し、  
ソーストランジスタのドレイン端子はドレイントランジスタのソース端子に動作的に結合し、  
ドレイントランジスタのドレイン端子は出力ドライバ回路の出力端子に動作的に結合し、  
デュアルゲートpFETデバイスのソーストランジスタのゲート端子に動作的に結合し、電源VからデュアルゲートpFETデバイスのソーストランジスタを通って流れる電流をターンオンおよびオフさせる第1スイッチと、  
デュアルゲートnFETデバイスのソーストランジスタのゲート端子に動作的に結合し、デュアルゲートnFETデバイスのソーストランジスタを通ってグランド電位に流れる電流をターンオンおよびオフさせる第2スイッチとを含み、  
第1出力端子および第2出力端子を持つバイアス発生器を含み、  
第1出力端子はデュアルゲートpFETデバイスのドレイントランジスタのゲート端子に動作的に結合して、ドレイントランジスタに第1バイアス電圧を提供し、  
第1バイアス電圧は抵抗性終端負荷と関連した基準電圧の関数であり、デュアルゲートpFETデバイスのドレイントランジスタによって抵抗性終端負荷に提供される電流の量を実質的に制御し、  
第2出力端子はデュアルゲートnFETデバイスのドレイントランジスタのゲート端子に動作的に結合して、ドレイントランジスタに第2バイアス電圧を提供し、  
第2バイアス電圧は抵抗性終端負荷と関連した基準電圧の関数であり、抵抗性終端負荷によってデュアルゲートnFETデバイスのドレイントランジスタに提供される

電流の量を実質的に制御することを特徴とする出力ドライバ回路。

【請求項2】 第1スイッチが1つのスイッチングインバータを含む、請求項1記載の出力ドライバ回路。

【請求項3】 第2スイッチが1つのスイッチングインバータを含む、請求項1記載の出力ドライバ回路。

【請求項4】 ソースおよびドレイントランジスタがCMOSトランジスタである、請求項1記載の出力ドライバ回路。

10 【請求項5】 バイアス発生器がさらに第1段を含み、第1段が、

第1電源に応答し、そして第1段を通して電流が流れることを可能とする1つのnFETデバイスと、

抵抗性終端負荷に関連した基準電圧と、そして第1段を通る電流に応答して、そして基準電圧に関連した変動を規制する1つのオペアンプと、

規制された基準電圧に応答し、そして第1段を通して電流が流れることを可能とする1つのpFETデバイスと、

第1段を通る電流に応答し、そしてその両端に第1電圧降下を提供する第1抵抗器と、

第1段を通る電流に応答し、そしてその両端に第2電圧降下を提供する第2抵抗器とを含む、請求項1記載の出力ドライバ回路。

【請求項6】 pFETデバイスがさらに、ドレイントランジスタに直列に接続された1つのソーストランジスタを含み、

各トランジスタは1つのゲート端子を有し、ソーストランジスタのゲート端子はグランドに接続され、

30 ドレイントランジスタのゲート端子は規制された基準電圧に接続される、請求項5記載の出力ドライバ回路。

【請求項7】 nFETデバイスがさらに、ドレイントランジスタに直列に接続された1つのソーストランジスタを含み、

各トランジスタは1つのゲート端子を有し、ソースおよびドレイントランジスタのゲート端子が第1電源に接続される、請求項5記載の出力ドライバ回路。

【請求項8】 第1電源がバンドギャップ基準電源である、請求項5記載の出力ドライバ回路。

40 【請求項9】 バイアス発生器がさらに第2段を含み、第2段が、

規制された基準電圧に応答し、そして第1段を通して流れる電流に実質的に等価な電流が第2段を通して流れることが可能とする1つのpFETデバイスと、

第1段の第2抵抗器両端の電圧降下および第2段を通る電流に応答する1つのオペアンプと、

オペアンプおよび内部電源に応答し、そして第2段を通して電流が流れることを可能とする1つのnFETデバイスと、

50 第2段を流れる電流に応答し、そして第1段の第1およ

び第2抵抗器両端の電圧降下の和に実質的に等しい電圧降下を提供する1つの抵抗器とを含み、

第2オペアンプが第1バイアス電圧を発生する、請求項5記載の出力ドライバ回路。

【請求項10】 pFETデバイスがさらに、ドレイントランジスタに直列に接続された1つのソーストランジスタを含み、

各トランジスタはゲート端子を有し、

ソーストランジスタのゲート端子はグランドに接続され、

ドレイントランジスタのゲート端子が規制された基準電圧に接続される、請求項9記載の出力ドライバ回路。

【請求項11】 nFETデバイスがさらに、ドレイントランジスタに直列に接続された1つのソーストランジスタを含み、

各トランジスタはゲート端子を有し、

ソーストランジスタのゲート端子が内部電源に接続され、

ドレイントランジスタのゲート端子が第2バイアス電圧に接続される、請求項9記載の出力ドライバ回路。

【請求項12】 バイアス発生器がさらに第3段を含み、

第3段が、

第2段オペアンプおよび内部電源に応答し、そして第3段を通して電流が流れることを可能とする1つのnFETデバイスと、

第1段の第1抵抗両端の第1電圧降下および第3段を通る電流に応答する1つのオペアンプと、

第3段オペアンプに応答し、そして第3段を通して電流が流れることを可能とする1つのpFETデバイスと、第3段を通る電流に応答し、そして第1段の第1および第2抵抗器両端の電圧降下の和に実質的に等価な電圧降下を提供する1つの抵抗器とを含み、

第3オペアンプが第2バイアス電圧を発生する、請求項9記載の出力ドライバ回路。

【請求項13】 pFETデバイスがさらに、ドレイントランジスタに直列に接続された1つのソーストランジスタを含み、

各トランジスタが1つのゲート端子を有し、

ソーストランジスタのゲート端子はグランドに接続され、

ドレイントランジスタのゲート端子が第1バイアス電圧に接続される、請求項12記載の出力ドライバ回路。

【請求項14】 nFETデバイスがさらに、ドレイントランジスタに直列に接続された1つのソーストランジスタを含み、

各トランジスタがゲート端子を有し、

ソーストランジスタのゲート端子が内部電源に接続され、

ドレイントランジスタのゲート端子が第2バイアス電圧

に接続される、請求項12記載の出力ドライバ回路。

【請求項15】 抵抗性終端負荷に動作的に結合した出力端子を持つ出力ドライバ回路において、1つのソーストランジスタおよび1つのドレイントランジスタを含む1つのデュアルゲートpFETデバイスを含み、

各トランジスタはそれぞれゲート端子、ソース端子およびドレイン端子を有し、

ソーストランジスタのソース端子は電源Vに動作的に結合し、

10

ソーストランジスタのドレイン端子はドレイントランジスタのソース端子に動作的に結合し、

ドレイントランジスタのドレイン端子は出力ドライバ回路の出力端子に動作的に結合し、

1つのソーストランジスタおよび1つのドレイントランジスタを含む1つのデュアルゲートnFETデバイスを含み、

各トランジスタはそれぞれゲート端子、ソース端子およびドレイン端子を有し、

20

ソーストランジスタのソース端子はグランド電位に動作的に結合し、

ソーストランジスタのドレイン端子はドレイントランジスタのソース端子に動作的に結合し、

ドレイントランジスタのドレイン端子は出力ドライバ回路の出力端子に動作的に結合し、

第1スイッチを含み、

第1スイッチはデュアルゲートpFETデバイスのドレイントランジスタのゲート端子に動作的に結合して、デュアルゲートpFETデバイスのソーストランジスタから流れれる電流をターンオンおよびオフさせ、

第2スイッチを含み、

第2スイッチはデュアルゲートnFETデバイスのドレイントランジスタのゲート端子を動作的に結合して、デュアルゲートnFETデバイスのソーストランジスタに流れれる電流をターンオンおよびオフさせ、

第1出力端子と第2出力端子とを有するバイアス発生器を含み、

第1出力端子はデュアルゲートpFETデバイスのソーストランジスタのゲート端子に動作的に結合して、ソ

40

ーストランジスタに第1バイアス電圧を提供し、第1バイアス電圧は抵抗性終端負荷と関連する基準電圧の関数であり、そしてデュアルゲートpFETデバイスのドレイントランジスタへの、そしてそれを通して抵抗性終端負荷に提供される電流の量を実質的に制御し、

第2出力端子はデュアルゲートnFETデバイスのソーストランジスタのゲート端子に動作的に結合して、ソーストランジスタに第2バイアス電圧を提供し、

第2バイアス電圧は抵抗性終端負荷と関連する基準電圧の関数であり、そして抵抗性終端負荷によってデュアルゲートnFETデバイスのドレイントランジスタへの、

50

そしてそれを通って提供される電流の量を実質的に制御する、ことを特徴とする出力ドライバ回路。

【請求項16】 第1スイッチが1つのスイッチングインバータを含む、請求項15記載の出力ドライバ回路。

【請求項17】 第2スイッチが1つのスイッチングインバータを含む、請求項15記載の出力ドライバ回路。

【請求項18】 ソースおよびドレイントランジスタがCMOSトランジスタである、請求項15記載の出力ドライバ回路。

【請求項19】 バイアス発生用装置がさらに、第1段を含み、

第1段が、

第1電源に応答し、そして第1段を通して電流が流れることを可能とする1つのnFETデバイスと、

抵抗性終端負荷に関連する基準電圧および第1段を通る電流に応答し、そして基準電圧に関連する変動を規制する1つのオペアンプと、

規制された基準電圧に応答し、そして第1段を通して電流が流れることを可能とする、pFETデバイスと、

第1段を流れる電流に応答し、そしてその両端に第1電圧降下を提供する第1抵抗器と、

第1段を流れる電流に応答し、そしてその両端に第2電圧降下を提供する第2抵抗器とを含む、請求項15記載の出力ドライバ回路。

【請求項20】 pFETデバイスがさらに、ドレイントランジスタに直列に接続されたソーストランジスタを含み、

各トランジスタがゲート端子を有し、

ドレイントランジスタのゲート端子がグランドに接続され、

ソーストランジスタのゲート端子が規制された基準電圧に接続されている、請求項19記載の出力ドライバ回路。

【請求項21】 nFETデバイスがさらに、ドレイントランジスタに直列に接続された1つのソーストランジスタを含み、

各トランジスタはゲート端子を有し、

ソースおよびドレイントランジスタのゲート端子が第1電源に接続されている、請求項19記載の出力ドライバ回路。

【請求項22】 第1電源がバンドギャップ基準電源である、請求項19記載の出力ドライバ回路。

【請求項23】 バイアス発生用装置がさらに、第2段を含み、

第2段が、

規制された基準電圧に応答して、そして第1段を通して流れる電流に実質的に等価な電流が第2段を通して流れることを可能とする1つのpFETデバイスと、

第1段の第2抵抗器両端の電圧降下および第2段を通る電流に応答する1つのオペアンプと、

オペアンプおよび内部電源に応答し、そして第2段を通して電流が流れることを可能とする1つのnFETデバイスと、

第2段を流れる電流に応答し、そして第1段の第1および第2抵抗器両端の電圧降下の和に実質的に等価な電圧降下を提供する抵抗器とを含み、

第2オペアンプが第1バイアス電圧を発生する、請求項19記載の出力ドライバ回路。

【請求項24】 pFETデバイスがさらに、ドレイントランジスタに直列に接続されたソーストランジスタを含み、

各トランジスタはゲート端子を有し、

ドレイントランジスタのゲート端子はグランドに接続され、

ソーストランジスタのゲート端子が規制された基準電圧に接続されている、請求項23記載の出力ドライバ回路。

【請求項25】 nFETデバイスがさらに、ドレイントランジスタに直列に接続されたソーストランジスタを含み、

各トランジスタはゲート端子を有し、

ドレイントランジスタのゲート端子が内部電源に接続され、

ソーストランジスタのゲート端子が第2バイアス電圧に接続される、請求項23記載の出力ドライバ回路。

【請求項26】 バイアス発生用装置がさらに、第3段を含み、

第3段が、

第2段オペアンプおよび内部電源に応答し、そして第3段を通して電流が流れることを可能とする1つのnFETデバイスと、

第1段の第1抵抗器両端の第1電圧ドロップおよび第3段を通る電流に応答する1つのオペアンプと、

第3段オペアンプに応答し、第3段を通して電流が流れることを可能とする1つのpFETデバイスと、

第3段を流れる電流に応答し、そして第1段の第1および第2抵抗器両端の電圧降下の和に実質的に等価な電圧降下を提供する1つの抵抗器とを含み、

第3オペアンプが第2バイアス電圧を発生する、請求項23記載の出力ドライバ回路。

【請求項27】 pFETデバイスがさらに、ドレイントランジスタに直列に接続されたソーストランジスタを含み、

各トランジスタはゲート端子を有し、

ドレイントランジスタのゲート端子がグランドに接続され、

ソーストランジスタのゲート端子が第1バイアス電圧に接続される、請求項26記載の出力ドライバ回路。

【請求項28】 nFETデバイスがさらに、ドレイントランジスタに直列に接続されたソーストランジスタを

含み、各トランジスタがゲート端子を有し、ドレイントランジスタのゲート端子が内部電源に接続され、ソーストランジスタのゲート端子が第2バイアス電圧に接続される、請求項26記載の出力ドライバ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体デバイス間のデータ伝送に、そしてより特定すれば、定電流用途のためのドレイン電流制御されたCMOS出力ドライバ回路に関する。

【0002】

【従来の技術】高い周波数でのデータ伝送用途においては、信号反射を避けるため、標準的には伝送ラインおよび終端抵抗器を用いてデータ伝送が行われている。信号反射は入力／出力信号に歪みおよび／またはリンギングを生じさせことがある。特に、終端抵抗器は、伝送ラインの端末のいずれかに、または終端および始端の両方に設けられる。そのような単数または複数の終端抵抗器の値は固定されていないが、標準的な値は50、60、75または100オームである。そのような単数または複数の終端抵抗器はスタブシリーズターミネーテッドロジック (SSTL) EIA/JEDEC標準に説明されているように、グランドに、デバイス電源に、または外部的に設けられた基準電圧に接続される。

【0003】たとえば、図1はチップA内に設けられた、そして出力バッファとして考慮される1つのオフチップドライバ (OCD) 回路を描いている。OCDの標準的な用途は、ダイナミックランダムアクセスメモリ (DRAM) デバイスのような半導体メモリデバイスから他のデバイス (レシーバ) への出力データビットを駆動することである。そのようなOCDは標準的に、データ伝送システムの適切な動作を確実にするため、データビットを受け取るデバイスの入力段においてスイングする特定の電圧が与えられるべきである。そのような特定の電圧スイングを確実にするため、制御可能な電流ソース (pチャンネルトランジスタ) および電流シンク (nチャンネルトランジスタ) を設けることはOCDにとって好都合である。そのような場合においては、制御された電流は終端抵抗器R<sub>T</sub>の両端に電圧降下を生じさせ、これが入力回路 (レシーバ/チップB) の入力電圧V<sub>IN</sub>として用いられる。

【0004】出力電流制御されたドライバ回路を開発する試みが行われてきた。たとえば、1996年2月27日出願の (デス・ロジエルズ他による) 米国特許第5,495,184号は、高速低電力CMOSポジティブシフトECL I/Oトランジッタを開示している。このトランジッタは、4つのCMOSトランジスタのトータルポール構造を含んでいる。上部2つのCMOSト

ランジスタは、PMOSデバイスであり、そして下部の2つのトランジスタは、NMOSデバイスである。上部および下部トランジスタは、ソース電圧電源V<sub>SS</sub>か、またはドレイン電圧電源のいずれかから、抵抗性終端負荷R<sub>T</sub>に流れる電流を交互的にターンオンおよびオフする出力電流スイッチとして機能する。中間の2つのデバイスは、DC電圧基準に接続されている。このDC電圧は、精密電流ソースを用いて負荷に供給される、そして精密電流シンクを用いて負荷から失われる電流の精密な量を制御する。精密電流ソースおよび電流シンクのための基準電圧は、バンドギャップ基準源によって制御される抵抗ラダーおよび電流ソースとして知られる負フィードバック回路を用いる。デス・ロジエルズ他のトランジッタにおける配置は、ECLレベルのオンチップ基準を可能とし、そしてプロセス、電圧および温度における変化に関わりなく、基準電圧および電流の制御を可能とする。内部ECL基準レベル信号V<sub>OL</sub>およびV<sub>OH</sub>は出力レベルを制御するのに用いられる。オペアンプは、それぞれのトランジスタを駆動し、電流ソースおよびシンクトランジスタのドレインにおける電圧をECL基準入力V<sub>OH</sub>およびV<sub>OL</sub>に等しくさせる。これらの制御電圧は、レプリカ段を通精密な電流を発生させ、そしてまた出力段にも加えられる。基準制御回路における全てのデバイスは、DC電力消費を節減するよう定められる。しかし、デス・ロジエルズ他のトランジッタによって発生されるDC電圧基準は、負荷に供給される、そして負荷から失われる電流を制御するものであり、抵抗性終端負荷R<sub>T</sub>に結合された外部基準電圧を考慮していないという不都合がある。結果としてデス・ロジエルズ他による出力ドライバは、種々のデータ伝送標準に適応する上で厳しく制限される。

【0005】

【発明が解決しようとする課題】抵抗性終端負荷に結合された外部基準電圧変動を考慮した、定電流用途のためのドレイン電流制御されたCMOS出力ドライバ回路を提供することが望まれている。

【0006】

【課題を解決するための手段】本発明の課題は、1つのソーストランジスタおよび1つのドレイントランジスタを含む1つのデュアルゲートpFETデバイスを含み、各トランジスタはそれぞれゲート端子、ソース端子およびドレイン端子とを有し、ソーストランジスタのソース端子は電源Vに動作的に結合し、ソーストランジスタのドレイン端子はドレイントランジスタのソース端子に動作的に結合し、ドレイントランジスタのドレイン端子は出力ドライバ回路の出力端子に動作的に結合し、1つのソーストランジスタおよび1つのドレイントランジスタを含む1つのデュアルゲートnFETデバイスを含み、各トランジスタはそれぞれゲート端子、ソース端子およびドレイン端子とを有し、ソーストランジスタのソース

端子はグランド電位に動作的に結合し、ソーストランジスタのドレイン端子はドレイントランジスタのソース端子に動作的に結合し、ドレイントランジスタのドレイン端子は出力ドライバ回路の出力端子に動作的に結合し、デュアルゲート p FET デバイスのソーストランジスタのゲート端子に動作的に結合し、電源 V からデュアルゲート p FET デバイスのソーストランジスタを通って流れる電流をターンオンおよびオフさせる第 1 スイッチと、デュアルゲート n FET デバイスのソーストランジスタのゲート端子に動作的に結合し、デュアルゲート n FET デバイスのソーストランジスタを通ってグランド電位に流れる電流をターンオンおよびオフさせる第 2 スイッチとを含み、第 1 出力端子および第 2 出力端子を持つバイアス発生器を含み、第 1 出力端子はデュアルゲート p FET デバイスのドレイントランジスタのゲート端子に動作的に結合して、ドレイントランジスタに第 1 バイアス電圧を提供し、第 1 バイアス電圧は抵抗性終端負荷と関連した基準電圧の関数であり、デュアルゲート p FET デバイスのドレイントランジスタによって抵抗性終端負荷に提供される電流の量を実質的に制御し、第 2 出力端子はデュアルゲート n FET デバイスのドレイントランジスタのゲート端子に動作的に結合して、ドレイントランジスタに第 2 バイアス電圧を提供し、第 2 バイアス電圧は抵抗性終端負荷と関連した基準電圧の関数であり、抵抗性終端負荷によってデュアルゲート n FET デバイスのドレイントランジスタに提供される電流の量を実質的に制御するように構成して解決される。

## 【0007】

【発明の実施の形態】本発明の 1 つの特色においては、抵抗性終端負荷に動作的に結合された 1 つの出力端子を持つ 1 つの出力ドライバ回路は、1 つのデュアルゲート p FET デバイスと、1 つのデュアルゲート n FET デバイスと、第 1 スイッチング装置と、第 2 スイッチング装置と、バイアス発生用装置とを含んでいる。デュアルゲート p FET デバイスは、1 つのソーストランジスタおよび 1 つのドレイントランジスタを含み、各トランジスタはそれぞれ 1 つのゲート端子、1 つのソース端子および 1 つのドレイン端子を有している。ソーストランジスタのソース端子は、電圧源 V に動作的に結合し、ソーストランジスタのドレイン端子は、ドレイントランジスタのソース端子に動作的に結合し、ドレイントランジスタのドレイン端子は出力ドライバ回路の出力端子に動作的に結合している。デュアルゲート n FET デバイスは、1 つのソーストランジスタおよび 1 つのドレイントランジスタを含んでおり、各トランジスタはそれぞれ 1 つのゲート端子、1 つのソース端子および 1 つのドレイン端子を有している。ソーストランジスタのソース端子はグランド電位に動作的に結合し、ソーストランジスタのドレイン端子はドレイントランジスタのソース端子に動作的に結合し、ドレイントランジスタのドレイン端子は出力ドライバ回路の出力端子に動作的に結合している。第 1 スイッチング装置はデュアルゲート p FET デバイスのドレイントランジスタのゲート端子に動作的に結合して、デュアルゲート

は出力ドライバ回路の出力端子に動作的に結合している。第 1 スイッチング装置は、デュアルゲート p FET デバイスのソーストランジスタのゲート端子に動作的に結合されて、電圧源 V からデュアルゲート p FET デバイスのソーストランジスタを通って流れる電流をターンオンおよびオフさせる。第 2 スイッチング装置は、デュアルゲート n FET デバイスのソーストランジスタのゲート端子に動作的に結合されて、デュアルゲート n FET デバイスのソーストランジスタを通してグランド電位に流れる電流をターンオンおよびターンオフさせる。バイアス発生用装置は、デュアルゲート p FET デバイスのドレイントランジスタのゲート端子に動作的に結合されている第 1 出力端子を有し、そしてドレイントランジスタに第 1 バイアス電圧を提供する。第 1 バイアス電圧は抵抗性終端負荷に関連した基準電圧の関数であり、そしてデュアルゲート p FET デバイスのドレイントランジスタによって抵抗性終端負荷に供給される電流の量を実質的に制御する。バイアス発生装置はまた、デュアルゲート n FET デバイスのドレイントランジスタのゲート端子に動作的に結合した第 2 出力端子を有しており、ドレイントランジスタに第 2 バイアス電圧を提供する。第 2 バイアス電圧は抵抗性終端負荷に関連した基準電圧の関数であり、そして抵抗性終端負荷によってデュアルゲート n FET デバイスのドレイントランジスタに提供される電流の量を実質的に制御する。

【0008】本発明の別の特色においては、抵抗性終端負荷に動作的に結合された 1 つの出力端子を持つ 1 つの出力ドライバ回路が、1 つのデュアルゲート p FET デバイスと、1 つのデュアルゲート n FET デバイスと、第 1 スイッチング装置と、第 2 スイッチング装置と、そしてバイアス発生装置とを含んでいる。デュアルゲート p FET デバイスは、1 つのソーストランジスタと 1 つのドレイントランジスタとを含み、各トランジスタはそれぞれ 1 つのゲート端子、1 つのソース端子および 1 つのドレイン端子を有している。ソーストランジスタのソース端子は、電圧源 V に動作的に結合し、ソーストランジスタのドレイン端子はドレイントランジスタのソース端子に動作的に結合し、ドレイントランジスタのドレイン端子は出力ドライバ回路の出力端子に動作的に結合している。デュアルゲート n FET デバイスは 1 つのソーストランジスタと、1 つのドレイントランジスタを含み、各トランジスタはそれぞれ 1 つのゲート端子、1 つのソース端子および 1 つのドレイン端子を有している。ソーストランジスタのソース端子はグランド電位に動作的に結合し、ソーストランジスタのドレイン端子はドレイントランジスタのソース端子に動作的に結合し、ドレイントランジスタのドレイン端子は出力ドライバ回路の出力端子に動作的に結合している。第 1 スイッチング装置はデュアルゲート p FET デバイスのドレイントランジスタのゲート端子に動作的に結合して、デュアルゲート

ト p F E T デバイスのソーストランジスタから流れる電流をターンオンおよびオフさせる。第 2 スイッチング装置は、デュアルゲート n F E T デバイスのドレイントランジスタのゲート端子に動作的に結合して、デュアルゲート n F E T デバイスのソーストランジスタに流れる電流をターンオンおよびオフさせる。バイアス発生装置は、デュアルゲート p F E T デバイスのソーストランジスタのゲート端子に動作的に結合している第 1 出力端子を有し、そしてソーストランジスタに第 1 バイアス電圧を提供する。第 1 バイアス電圧は、抵抗性終端負荷に関連する基準電圧の関数であり、そしてデュアルゲート p F E T デバイスのドレイントランジスタを通して抵抗性終端負荷に提供される電流の量を実質的に制御する。バイアス発生装置はまた、デュアルゲート n F E T デバイスのソーストランジスタのゲート端子に動作的に結合している第 2 出力端子を有し、そしてソーストランジスタに第 2 バイアス電圧を提供する。第 2 バイアス電圧は抵抗性終端負荷に関連する基準電圧の関数であり、そして抵抗性終端負荷によって提供され、デュアルゲート n F E T デバイスのドレイントランジスタを通る電流の量を実質的に制御する。

【0009】本発明の出力ドライバ回路によって供給され、そして失われる電流の量を実質的に制御するために用いられるバイアス電圧を発生するため、バイアス電圧発生器がカレントミラー回路装置および多段回路装置を含むのが好都合であることは明らかである。出力ドライバ回路の望ましい実施例と同様、そのようなバイアス発生装置の望ましい実施例も本明細中に詳細に説明される。

【0010】都合良いことに、本発明は（半導体メモリデバイス内のオフチップドライバ、OCDとして利用することが好都合な）定電流用途のためのドレイン電流制御されるCMOS出力ドライバ回路を提供する。ここにおいては、たとえばS S T L \_ 2 、S S T L \_ 3 、H S T L 、E C L において外部抵抗性終端負荷が用いられる。（デュアルゲート p F E T デバイスによって供給される）プルアップバスおよび（デュアルゲート n F E T デバイスによって失われる）プルダウンバスにおけるドレイン電流は、それぞれ本発明の回路によって発生されるゲートバイアス電圧によって制御される。これは外部終端基準電圧を都合良く考慮に入れている。

【0011】本発明のこれらの、そして他の目的、特色および利点は本発明の説明的な実施例の以下の詳細な説明から明らかとなるであろう。それらは添付図面とともに読まれるべきものである。

【0012】

【実施例】最初に図 2 を参照すると、抵抗性終端負荷に定ドレイン電流制御を提供するための本発明による出力ドライバ回路の第 1 の実施例が描かれている。本発明の出力ドライバ回路は、例えばD R A M デバイスのよう

な、半導体メモリデバイスにおけるオフチップドライバ（OCD）として使用するのに好都合であるが、しかし、本発明はそれに限定されることなく、そしてそのような独特の出力ドライバ回路は、当業技術者によって意図される他の種々のデータ伝送用途においても用いることができるということは明らかである。述語「チップ」および「外部」を描いている図 2 における破線は、出力ドライバ回路がチップまたは半導体デバイスの 1 部として形成され、そこからデータが駆動されるということを表すことを意図している。破線の外側のコンポーネントはこのため、チップの外側にあり、そして本発明の出力ドライバ回路の範囲外である。明確に言えば、出力ドライバ回路 10 は、出力ドライバ回路のプルアップバスを形成する 1 つのデュアルゲート p チャンネル電界効果トランジスタ（p F E T ）デバイス 12 を含んでいる。デュアルゲート p F E T デバイス 12 自体は、ソーストランジスタ 12 A およびドレイントランジスタ 12 B を含んでおり、各々は、1 つのソース端子（S）、1 つのゲート端子（G）および 1 つのドレイン端子（D）を有している。

【0013】出力ドライバ回路はまた、出力ドライバ回路のプルダウンバスを形成するデュアルゲート n チャンネル電界効果トランジスタ（n F E T ）デバイス 14 をも含んでいる。デュアルゲート n F E T デバイス 14 自体は、1 つのドレイントランジスタ 14 A と 1 つのソーストランジスタ 14 B を含んでおり、各々は 1 つのソース端子（S）、1 つのゲート端子（G）および 1 つのドレイン端子（D）を有している。ソーストランジスタ 14 B のソース端子は、グランド電位に接続されている。さらに、ソーストランジスタ 14 B のドレイン端子は、ドレイントランジスタ 14 A のソース端子に接続されている。ドレイントランジスタ 14 A のドレイン端子は、出力ドライバ回路 10 の出力端子に接続されている。

【0014】p F E T デバイスのソーストランジスタ 12 A のゲート端子は、スイッチングインバータ 16 の出力端子に接続され、n F E T デバイスのソーストランジスタ 14 B のゲート端子はスイッチングインバータ 18 の出力端子に接続されている。p チャンネル入力信号 I N \_ P に応答して、スイッチングデバイス 16 は、ソーストランジスタ 12 A をターンオンおよびオフさせるのに用いられ、それによって電圧源 V からデュアルゲート p F E T デバイスのソーストランジスタ 12 A を通って流れる電流をターンオンおよびオフさせる。同様に、n チャンネル入力信号 I N \_ N に応答して、スイッチングデバイス 18 は、ソーストランジスタ 14 B をターンオ

40

50

ンおよびオフさせるのに用いられ、それによってデュアルゲート n FET デバイスのソーストランジスタ 14B を通るグランド電位へ流れる電流をターンオンおよびオフさせる。

【0015】 p FET デバイスのドレイン端子 12B のゲート端子は、バイアス発生器 20 の第 1 出力端子に接続される。以下に詳細に説明されるように、バイアス発生器 20 は、バイアス電圧 vBLASP を発生し、そして vBLASP をドレイントランジスタ B のゲート端子に提供して、p FET デバイスのドレイントランジスタ 12B によって提供される電流の量を実質的に制御する。同様に、n FET デバイスのドレイン端子 14A のゲート端子は、バイアス発生器 20 の第 2 出力端子に接続される。バイアス発生器 20 は、以下に詳細に説明されるようにバイアス電圧 vBLASN を発生し、そして vBLASN をドレイントランジスタ 14A のゲート端子に提供して、n FET デバイスのドレイントランジスタ 14A に提供される電流の量を実質的に制御する。

【0016】 ドレイントランジスタ 12B および 14A のドレイン端子の接合において形成される出力ドライバ回路 10 の出力端子は終端抵抗器 22 の第 1 端子に接続され、一方終点抵抗器 22 の第 2 端子は、外部基準電圧源 VTT に接続される。出力ドライバ回路 10 の出力端子もまた回路 10 からデータを受け取る（示されていない）デバイスの入力にも接続される。コンポーネント間のそのような望ましい接続性が与えられるときの、出力ドライバ回路 10 の動作が説明される。

【0017】 内部（チップ）電源電圧および外部基準電圧がある許容範囲内で同時に変化するときにも、本発明の出力ドライバ回路は P FET プルアップバスおよび n FET プルダウンバスの両方に定電流を供給する。トランジスタ 12A、12B、14A および 14B（および本明細で開示させる他の全てのトランジスタ）のような、CMOS トランジスタドレイン電流は、実質的にゲート対ソース電圧によって制御されることは明らかである。こうして、本発明に従ってゲート電圧（たとえば vBLASP、vBLASN）を発生させ、そしてそれそのような電圧をドレイントランジスタ（または別の実施例において説明されるようにソーストランジスタ）もゲート端子に加えることにより、各バス（プルアップおよびプルダウン）のドレイン電流が都合良く制御され、その結果一定電流がそこに提供される。この特定の実施例においては、ソーストランジスタは、プルアップおよびプルダウンバスを効果的にイネーブルし、そしてディスエーブルするのに用いられる。（しかし、別の実施例においては、後に説明されるようにドレイントランジスタがこの機能を提供する）。

【0018】 例として、終端抵抗器 22 は、50 オームの値を持つように描かれている。終端抵抗器の値は、出力ドライバ回路によって供給される／失われるべき電流

に、そしてレシーバの入力電圧に相当して選択される。こうして、図 2 に示される例に従えば、1 つの 50 オーム終端抵抗器が出力ドライバ回路の出力端子において約 8 ミリアンペア (mA) の一定電流を生じさせる結果となり、こうして、レシーバへの入力において、約 ±400 ミリボルト (mV) の電圧降下が生じさせる。この例においては、±400 mV は、レシーバによって必要とされる入力電圧である。

【0019】 このようにして、信号 IN\_P が論理ハイ（約 5 ボルト）であり、信号 IN\_N もまた論理ハイであるとき、スイッチングインバータ 16 は、論理ロー（約 0 ボルト）を出力し、これはソーストランジスタ 12A をターンオンさせ、p FET プルアップバスをイネーブルとし、一方スイッチングインバータ 18 は論理ローを出力し、これはソーストランジスタ 14B をターンオフさせ、n FET プルダウンバスをディスエーブルとする。プルアップバスがイネーブルされ、そしてプルダウンバスがディスエーブルされると、トランジスタ 12B のゲート端子への vBLASP の印加はプルアップバスによって供給されるべき望ましいドレイン電流（たとえば約 8 mA）を生じさせる。

【0020】 反対に、信号 IN\_N が論理ローであり、そして信号 IN\_P もまた論理ローであるとき、スイッチングインバーター 18 は論理ハイを出力し、これはソーストランジスタ 14B をターンオンさせ、n FET プルダウンバスをイネーブルとし、一方スイッチングインバータ 16 は論理ハイを出力し、これはソーストランジスタ 12A をターンオフさせて p FET プルアップバスをディスエーブルとする。プルダウンバスがイネーブルされ、そしてプルアップバスがディスエーブルであるため、トランジスタ 14A のゲート端子への vBLASN への印加はプルダウンバスによって失われるべき望ましいドレイン電流（たとえば 8 mA）を生じさせる。

【0021】 図 3 を参照すると、バイアス電圧（vBLASP および vBLASN）を発生するためのバイアス発生器 20 の第 1 実施例が示されている。後に説明されるように、バイアス発生器 20 は、3 つの相互接続された段によって都合良く形成されていることは明らかである。vBLASP および vBLASN を発生させるために、バイアス発生器回路に加えられる電圧は、VINT として表されている内部電源電圧、CMN として示されているバンドギャップ基準電圧および外部終端抵抗器 22（図 2）の基準電圧（VTT）である。後に説明されるように、CMN（バンドギャップ基準）は、外部基準電圧の関数としてバイアス発生器回路の第 1 段を通して流れる保証電流である高度に精密な一定基準電圧であることが理解されるべきである。

【0022】 こうして、第 1 段は、ドレイントランジスタ P1B に直列に接続されたソーストランジスタ P1A からなるデュアルゲート p FET トランジスタデバイス

で形成されている。デュアルゲートpFETデバイスP1A/P1Bは、電源V（すなわちトランジスタ12A（図2）に接続されている電圧源と同じ）と抵抗器R1との間に直列的に接続されている。抵抗器R1は、直列的に抵抗器R2に接続されている。第1段はまた、ドレイントランジスタN1Aに直列に接続されたソーストランジスタN1BからなるデュアルゲートnFETトランジスタデバイスをも含んでいる。デュアルゲートnFETデバイスN1A/N1Bは、グランドと抵抗器R2との間に直列に接続されている。第1段はまた、抵抗器R1とR2との間の接合点に接続された反転端子およびVTTに接続された非反転端子とを持つ第1オペアンプINVTTをも含んでいる。第1オペアンプINVTTの出力端子は、ドレイントランジスタP1Bのゲート端子に接続される。ソーストランジスタP1Aのゲート端子はグランドに接続される。ソーストランジスタN1BおよびドレイントランジスタN1Aの両方のゲート端子は、CMNに接続される。

【0023】第1段におけるpFETデバイスP1A/P1Bに類似して、第2段は、ドレイントランジスタP2Bに直列に接続されたソーストランジスタP2AからなるデュアルゲートpFETトランジスタデバイスを含んでいる。デュアルゲートpFETデバイスP2A/P2Bは、電圧源Vと抵抗器R3との間に直列に接続される。第2段はまた、ドレイントランジスタN2Aに直列に接続されたソーストランジスタN2BからなるデュアルゲートnFETトランジスタデバイスをも含んでいる。デュアルゲートnFETデバイスN2A/N2Bは、グランドと抵抗器R3との間に直列に接続される。第2段はまた、抵抗器R3と、nFETデバイスN2A/N2Bとの間の接合点に接続された反転端子、および抵抗器R2とnFETデバイスN1A/N1B（第1段）との間の接合部に接続された非反転端子とを有する第2オペアンプINをも含んでいる。第2オペアンプINの出力端子は、ドレイントランジスタN2Aのゲート端子に接続される。ソーストランジスタN2Bのゲート端子は、内部電圧電源VINTに接続される。電圧VINTが電圧Vより小さいか、または等しいことが望ましいのは明らかである。pFETソーストランジスタP2Aのゲート端子は、グランドに接続され、一方P2Bのゲート端子は第1オペアンプINVTTの出力端子に接続される。後に説明されるように、第2オペアンプINの出力端子はまた、出力ドライバ回路のプルダウンバスにバイアス電圧VBLASNを提供する。

【0024】第3段は、ドレイントランジスタP3Bに直列に接続されたソーストランジスタP3AからなるデュアルゲートpFETトランジスタデバイスを含んでいる。デュアルゲートpFETデバイスP3A/P3Bは、電圧源Vと抵抗器R4との間に直列に接続される。第3段もまた、nFETデバイスN2A/N2B（第2

段）と類似して、ドレイントランジスタN3Aに直列に接続されたソーストランジスタN3BからなるデュアルゲートnFETデバイスをも含んでいる。デュアルゲートnFETデバイスN3A/N3Bは、グランドと抵抗器R4との間に直列に接続される。第3段はまた、抵抗器R4とpFETデバイスP3A/P3Bとの間の接合点に接続される反転端子と、そして抵抗器R1とpFETデバイスP1A/P1B（第1段）との間の接合点に接続される非反転端子とを有する第3オペアンプIPをも含んでいる。第3オペアンプIPの出力端子は、ドレイントランジスタP3Bのゲート端子に接続される。ソーストランジスタP3Aのゲート端子はグランドに接続される。nFETソーストランジスタN3Bのゲート端子は、VINTに接続され、一方N3Aのゲート端子は第2オペアンプINの出力端子に接続される。後に説明されるように、第3オペアンプIPの出力端子もまた出力ドライバ回路のプルアップバスにバイアス電圧VBLASPを提供する。3段におけるコンポーネント間のそのような望ましい接続性が与えられたので、バイアス発生器20の動作が説明される。

【0025】nFETデバイスN1A/N1Bへの電圧CMNの提供は、第1段を通して流れる、たとえば100マイクロアンペア( $\mu$ A)の、電流を生じさせる。第1段を通る電流は、抵抗器R1およびR2の両端に電圧降下を生じさせる。抵抗器R1およびR2の値は外部終端抵抗器22（図2）に相当するように選択されるのは明らかである。すなわち、終端抵抗器22が50オームであることが望ましい、そして出力ドライバ回路によって供給または失われるべき電流が約8mAである以前の例を参照し、そして第1段を通る電流が約100 $\mu$ Aと仮定すれば、R1およびR2の値は4Kオームとなるよう選択するのが望ましい。こうして、（レシーバの入力電圧要求を満足させるために）50オーム終端抵抗器両端に約400mVの電圧降下が要求されていると仮定すれば、約400mVの相当する電圧が各抵抗器R1およびR2それぞれの両端に要求される。R1両端の電圧降下は、PREFとして示され、一方、R2両端の電圧降下は、NREFとして示されている。

【0026】ドレイントランジスタP1BおよびP2Bのゲート端子に提供される前にVTTを規制するためには、R1およびR2の間の電圧、すなわちCVTT、とともに、終端抵抗器22の外部基準電圧である電圧VTTがオペアンプINVTTに提供される。このことは、外部基準電圧VTTにおけるいかなる変化もオペアンプINVTTによって保証され、INVTTは規制されたVTT電圧、すなわちVTTRegを出力する。電圧VTTRegは、ドレイントランジスタP1B（第1段）およびP2B（第2段）のゲート端子の両方に提供され、電流がバイアス発生器回路のそれぞれの段を通って流れることを可能とする。デュアルゲートpFETデバイスP1

A/P1BおよびデュアルゲートpFETデバイスP2A/P2Bがカレントミラー回路を形成し、P1A/P1Bデバイスを通って流れる、たとえば $100\mu A$ の同じ電流がP2A/P2Bデバイスを通って流れることが理解される。

【0027】各トランジスタがそれと関連する（幅/長さ比として示される）チャンネル幅およびチャンネル長さを有していることは明らかである。測定の単位は示されていないが、マイクロメータ（ $\mu m$ ）であることが望ましい。トランジスタのそのような特性は実質的にトランジスタの容量を決定する。こうして、P2A/P2Bデバイスに関してP1A/P1Bデバイスがミラーとなるためには、それらの幅/長さ比が実質的に等しく、たとえば40/1、となるように選択される。

【0028】さらに、電圧NRef（例えばVTT-400mV）は、R3とデュアルゲートnFETデバイスN2A/N2Bとの間の接合点における電圧、すなわちTN、と共にオペアンプINに提供される。そのような入力に応答して、オペアンプINはnチャンネルバイアス電圧vBLASNを発生し、この電圧は出力ドライバ回路のドレイントランジスタ14A（図2）に提供される。加えて、オペアンプINの出力はドレイントランジスタN2AおよびN3Aのゲート端子に提供される。デュアルゲートnFETデバイスN2A/N2BおよびデュアルゲートnFETデバイスN3A/N3Bは、カレントミラー回路を形成し、N2A/N2Bデバイスを通って流れるのと同じ電流、たとえば $100\mu A$ 、がN3A/N3Bデバイスを通って流れる。こうして、N3A/N3BデバイスがN2A/N2Bデバイスをミラーするために、それらの幅/長さ比は実質的に等しく、たとえば2/0.4、となるように選択される。

【0029】しかし、N2A/N2Bデバイス（およびN3A/N3Bデバイス）のチャンネル幅/長さ比が、出力ドライバ回路のデュアルゲートnFETデバイス14のチャンネル幅/長さ比に相当するよう選択されることに注目することは重要である。すなわち、各トランジスタ（ソースおよびドレイントランジスタの両方）のチャンネル長さが実質的に他トランジスタと等しく、たとえば0.4、なるように選択される。しかし、トランジスタN2A、N3A、N2BおよびN3Bのチャンネル幅は、トランジスタ14Aおよび14Bのチャンネル幅に比例するように選択され、この比例はデバイスを流れるそれぞれの電流の間に望まれる比例に等しくなる。その結果、nFETデバイス14によって失われるべき電流が約8mAであり、そして各トランジスタ14Aおよび14Bに関するチャンネル幅が160であるように選択され、そしてN2A/N2Bデバイス（そして、N3A/N3Bデバイス）を通って流れる電流が約 $100\mu A$ であると仮定すれば、N2A/N2BおよびN3A/N3Bデバイスのトランジスタのチャンネル幅は2（すな

わち $160/2=80$ 、そして $80 \times 100\mu A=8mA$ となるよう選択される。

【0030】さらにまた、電圧PRef（たとえば $VTT \div 400mV$ ）がR4とデュアルゲートpFETデバイスP3A/P3Bの間の接合部における電圧、すなわちTPとともにオペアンプIPに提供される。そのような入力に応答して、オペアンプIPは、pチャンネルバイアス電圧vBLASPを発生し、この電圧は出力ドライバ回路のドレイントランジスタ12B（図2）に提供

10 される。加えて、オペアンプIPの出力は、ドレイントランジスタP3Bのゲートターミナルに提供される。

【0031】デュアルゲートnFETデバイス14に対するN2A/N2BおよびN3A/N3Bデバイスのチャンネル幅/長さ比の対応と同様に、P3A/P3Bデバイスのチャンネル幅/長さ比は出力ドライバ回路のデュアルゲートpFETデバイス12のそれに対応する。こうして、（ソースおよびドレイントランジスタ両方の）各トランジスタのチャンネル長さが実質的にトランジスタの間で例えば0.5に等しくなるように選択さ

れ、一方トランジスタP3AおよびP3Bのチャンネル幅はトランジスタ12Aおよび12Bのチャンネル幅に比例するように選択され、この比例はデバイスを通って流れるそれぞれの電流の間に必要な比例に等しくされる。結果として、pFETデバイス12によって失われる電流が約8mAであり、そして各トランジスタ12Aおよび12Bに関するチャンネル幅が400となるよう選択され、そしてP3A/P3Bデバイスを通って流れる電流が約 $100\mu A$ であると仮定すれば、P3A/P3Bデバイスのトランジスタのチャンネル幅は5（すなわち、 $400/80=5$ ）である。したがって、 $80 \times 100\mu A=8mA$ となるよう選択される。

【0032】抵抗器R3およびR4は、バイアス発生器回路の第2および第3段においてそれぞれ設けられ、各段においてnチャンネルおよびpチャンネルトランジスタのソースおよびドレインにおける電圧降下を提供する。この電圧降下は第1段における抵抗器R1およびR2の直列組み合わせによって提供される電圧降下と等しくなる。こうして、R1およびR2が各々4Kオーム（こうして8Kオームの直列組み合わせとなる）であ

40 り、R3およびR4が各々8Kオームであることが好都合であるように選択されたと仮定する。しかも、図2に記載して説明された信号IN\_PおよびIN\_Nには、VINTが提供されていることに注目するのは重要である。もし、VINTがVよりも小さければ、12Aのゲートにおいてハイ（V）を確実とするため、インバータ16の代わりに、トランジスタ12Aの入力をゲートする1つのレベルシフタが必要である。もし、VがVINTに等しければ、インバータ16の電源はVまたはVINTに接続されることができる。しかし、上で指摘したように、もしVがVINTよりも高ければ、インバータ

16はV（または用いられているレベルシフタ）に接続されねばならず、そうでなければトランジスタ12Aは適切にターンオフできない。インバータ18はVまたはVINTに接続されることができる。バイアス電圧vBLASNは完全な定電圧ではないことに注目すべきである。すなわち、vBLASNは、外部基準電圧VTTとともに、そしてプロセス許容範囲内および温度とともに変化する。バイアス電圧vBLASPはまた、それら要素の関数として変化し、さらに加えて出力ドライバ回路が形成されているチップの電源電圧Vトランジスタ共に変化する。

【0033】図4を参照すると、バイアス発生器20の別の実施例が示されている。バイアス発生器20'は、実質的に図3のバイアス発生器20に類似であり、単なる例外はデュアルゲートトランジスタデバイスP1A/P1B、P2A/P2BおよびN1A/N1Bが単独のトランジスタデバイスP1、P2およびN1によってそれぞれ置換されていることである。特に、電源Vが内部電源VINTよりも高く、内部回路がそのようなトランジスタ両端の電圧を分割／分配するときには、デュアルゲートトランジスタP1A/P1B、P2A/P2BおよびN1A/N1Bの使用が望ましい。その他の点では、バイアス20'は、図3に関連して説明されたバイアス発生器20と全く同じように動作する。

【0034】上の実施例は、約50オームの終端抵抗器22に関する本発明の出力ドライバによって約8mAが供給され、そして失われるという動作を説明していることは明らかである。しかし、終端抵抗器が約25オームであり、そして出力ドライバ回路が約16mAを供給し、そして失わせるものであるならば、トランジスタ12Aおよび12Bおよびトランジスタ14Aおよび14Bのチャンネル幅は異なってくる。こうして、バイアス発生器回路において前に説明されたトランジスタに関する比例を維持するためには、トランジスタ12Aおよび12Bのチャンネル幅は800とされ、そしてトランジスタ14Aおよび14Bのチャンネル幅は320となる。

【0035】50オーム終端(8mA)に関する本発明の出力ドライバ回路10の、プルアップバス(曲線A)およびプルダウンバス(曲線B)の両方に関する出力電流の例のグラフ的な表現が図5-Aに、そして25オーム終端(16mA)に関するものが図5-Bに示されている。図5-Aの電流曲線は、本発明の出力ドライバ回路によって約8mAの電流が交互に供給され、そして失われることが望ましい本明細で説明された例を描いている。16mAに関する類似の例が図5-Bに示されている。図6を参照すると、抵抗性終端負荷に一定のドレン電流制御を提供するための本発明による出力ドライバ回路の第2の実施例が描かれている。ここでもまた、本発明のそのような出力ドライバ回路は例えばDRAMデ

バイスのような半導体メモリデバイス内のオフチップドライバ(OCD)として使用されることが望ましい。出力ドライバ回路110は、実質的に出力ドライバ回路10(図2)に類似であり、そしてそのため、図6におけるコンポーネントに関するすべての参照番号図2における類似コンポーネントに関する参照番号と同様であり、それらは100だけ増加されている。

【0036】出力ドライバ回路110と出力ドライバ回路10との間の主要な差異は、デュアルゲートpFETおよびnFETデバイスのそれぞれのドレインおよびソーストランジスタによって実行されている機能が変更されていることである。すなわち、(pFETデバイス112の)ソーストランジスタ112Aおよび(nFETデバイス114の)114Bがそれぞれスイッチングインバータに接続されてプルアップおよびプルダウンバスをイネーブルおよびディスエーブルする代わりに、そして(pFETデバイス112の)ドレントランジスタ112Bおよび(nFETデバイス114の)114Aがバイアス発生器に接続される代わりに、回路110におけるソーストランジスタ112Aおよび114Bはバイアス発生器120に接続され、一方ドレントランジスタ112Bおよび114Aはそれぞれスイッチングインバータ116および118に接続される。その結果、回路110におけるドレントランジスタは、バスイネーブル/ディスエーブル機能を実行し、そしてソーストランジスタは、定電流制御機能を実行する。そうした別の配置は、回路10と類似の機能結果を提供しながら、しかも出力ドライバ回路のハイインピーダンス状態に出力ドライバ回路の入力容量を改善することは明らかである。換言すれば、(プルアップおよびプルダウン出力トランジスタの両方がターンオフである)ハイインピーダンスにおいては、出力ドライバ回路は出力ノードにおいてある容量を有している。容量の量は拡散エリア(トランジスタ12および14のジャンクション)および出力トランジスタのゲートに向かうエリアに依存する。図2における配置は、スイッチングトランジスタがデュアルゲートトランジスタのソース側にあり、そして(vBLASPおよびvBLASNに接続された)ドレントランジスタがターンオンするものである。(「レシーバへ」と示されている)出力ノードにおける接合部およびゲートエリアは比較的ハイであり、そしてそれに関連する容量もそのようである。しかし、図6の配置においては、デュアルゲートトランジスタデバイスの両方のドレントランジスタがハイインピーダンス状態においてはターンオフされており、そして出力ノードにおける接合エリアは両方のトランジスタのドレインに制限されているため、ゲートエリアはより小さくされる。結果として、回路110の出力ノードにおける容量は、回路10の出力における容量よりも比較的小さくなる。それでもなお、終端抵抗器122に関して50オームの同じ終点

抵抗を仮定し、そして(示されていない)レシーバの入力電圧が約±400mVであると仮定すれば、プルアップバス(pFETデバイス112)は約8mAを都合良く供給し、そしてプルダウンバス(nFETデバイス114)は約8mAを都合良く失う。

【0037】図7は、バイアス発生器120の望ましい形態の詳細を描いている。バイアス発生器120もまた、実質的にバイアス発生器20(図3)と明らかに類似であるが、デバイス112および114のドレインおよびソーストランジスタのそれぞれの機能に類似するものは、回路10のデバイス12および14に比較して変更されており、各ソースおよびドレイントランジスタ機能は、バイアス発生器120内のpFETおよびnFETデバイスの中で交換されている。実際、バイアス発生器120内で用いられている参照番号および電圧名称は、バイアス発生器20において用いられたそれらと同じである。バイアス発生器120によれば、第1オペアンプIVTTの出力端子はP1AおよびP2Aのそれぞれのゲート端子に接続され、一方P2BおよびP1Bのそれぞれのゲート端子はグランドに接続される。さらにバイアス発生器120においては、第2オペアンプINの出力端子はN2BおよびN3Bのそれぞれのゲート端子に接続され、一方N2AおよびN3Aのそれぞれのゲート端子はVINTに接続される。さらに、第3オペアンプIPの出力端子はP3Aのゲート端子に接続され、一方P3Bのゲート端子はグランドに接続される。その他の点では、vBLASPおよびvBLASNはバイアス発生器20に関して上で説明されたと全く同様の方法で発生される。

【0038】図8を参照すると、バイアス発生器回路20(図3)とバイアス発生器回路20'(図4)との間の関係と類似して、別のバイアス発生器回路120'は実質的にバイアス発生器回路120に類似しており、回路20および20'に関して上で説明されたと同じ理由で、単独トランジスタP1、P2およびN1それぞれがデュアルゲートトランジスタデバイスP1A/P1B、P2A/P2B、およびN1A/N1Bを置換していることが例外である。こうして、回路120'の出力は、回路120のそれと全く同じである。

【0039】図5-Aおよび図5-Bと類似して、本発明の出力ドライバ回路110のプルアップバス(曲線

A)およびプルダウンバス(曲線B)の両方に関する出力電流の例のグラフ的な表現が図9-Aおよび図9-Bに示されている。図9-Aにおける電流曲線は、本発明の出力ドライバ回路によって約8mAの電流(50オーム終端)が交互的に供給され、そして失われることが望ましい、本明細に説明された例を描いており、一方図9-Bにおける電流曲線は16mA(25オーム終端)の例を描いている。

【図面の簡単な説明】

10 【図1】外部終端抵抗器を用いる一般的な高い周波数のアプリケーションデータ伝送装置の図である。

【図2】本発明の出力ドライバ回路の1つの実施例の回路図である。

【図3】本発明の出力ドライバ回路のバイアス発生器の1つの実施例の回路図である。

【図4】図3に示される出力ドライバ回路の別の実施例の回路図である。

【図5】本発明の出力ドライバ回路の出力電流のグラフ的な表現を描いた図である。

20 【図6】本発明の出力ドライバ回路の別の実施例の回路図である。

【図7】本発明の出力ドライバ回路のバイアス発生器の別の実施例の回路図である。

【図8】図7に示される出力ドライバ回路の別の実施例の回路図である。

【図9】本発明の出力ドライバ回路の出力電流のグラフ的な表現を描いた図である。

【符号の説明】

10 出力ドライバ回路

30 12 pFET

14 nFET

16, 18 スイッチングインバータ

20 バイアス発生器

22 終端抵抗器

110 出力ドライバ回路

112 pFET

114 nFET

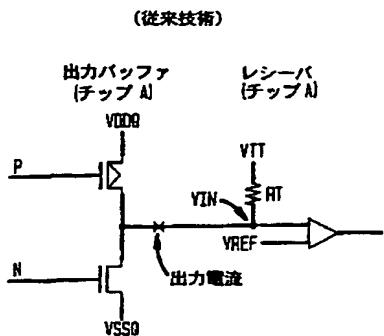
116 スイッチングインバータ

120 バイアス発生器

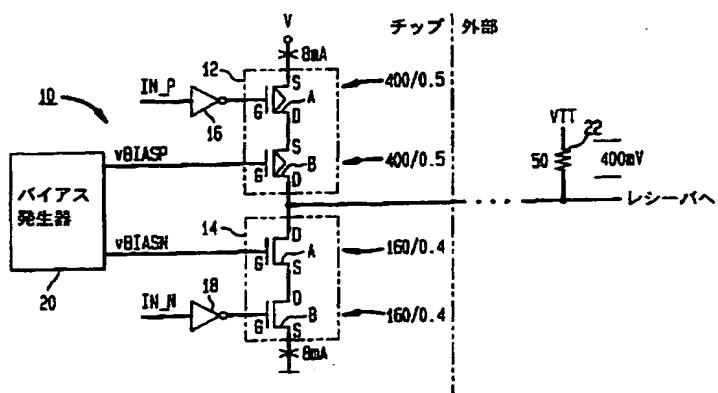
40 R<sub>t</sub> 抵抗性終端負荷

VSS ソース電圧電源

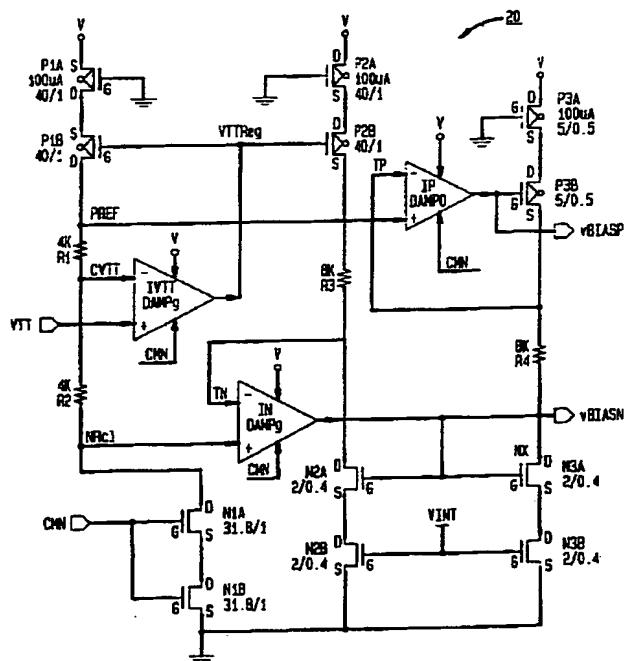
〔 1〕



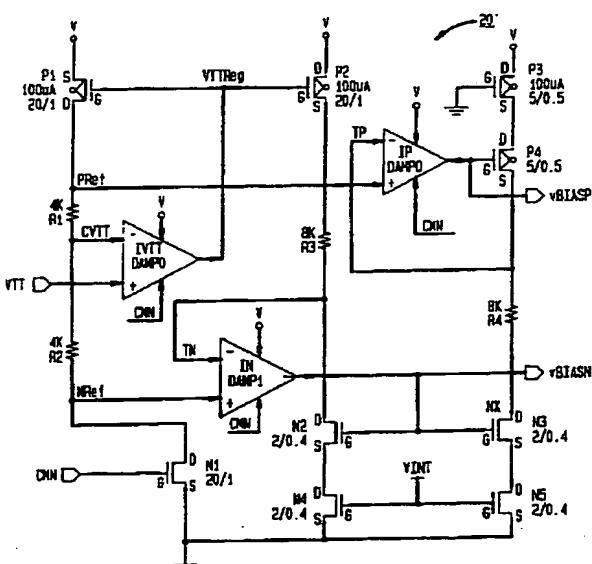
【図2】



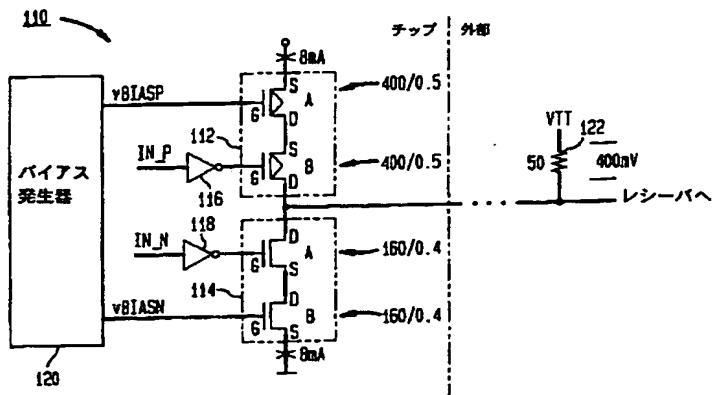
【图3】



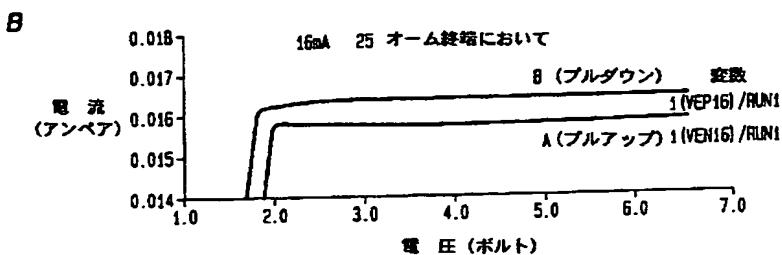
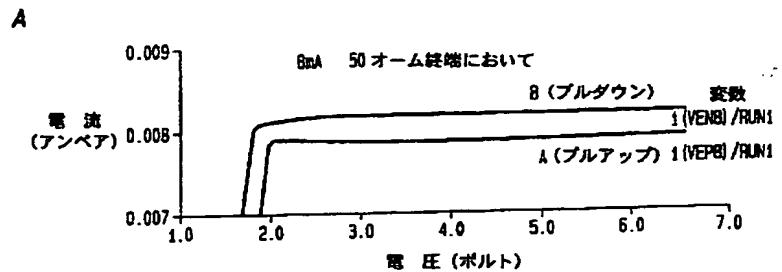
[圖 4]



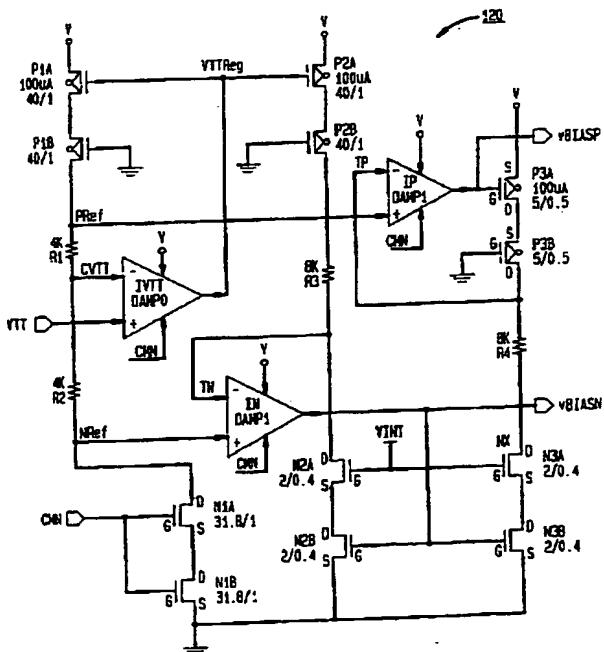
【图 6】



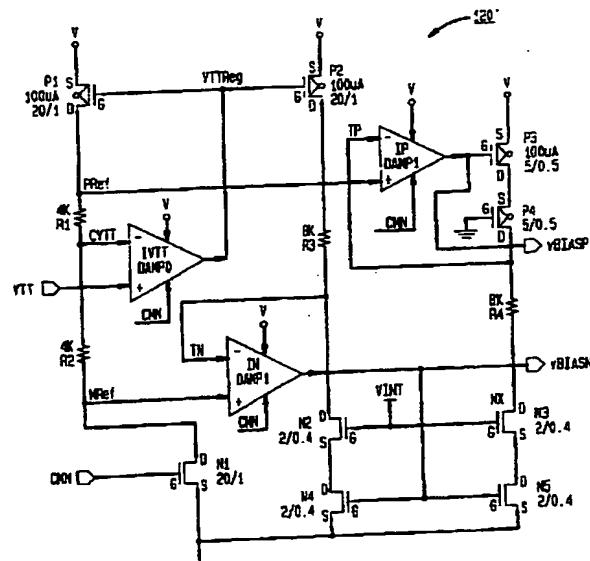
【図5】



〔图7〕

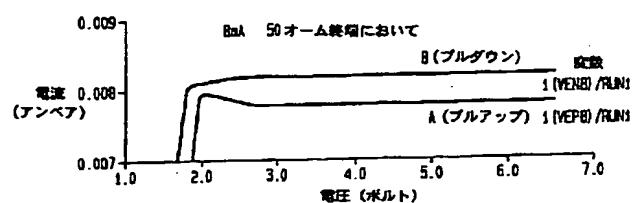


[图 8]



[図 9]

A



B

